

DIALOG(R)File 352:Derwent WPI

(c) 2002 Derwent Info Ltd. All rts. reserv.

008246619      \*\*Image available\*\*

WPI Acc No: 1990-133620/199018

XRPX Acc No: N90-103586

Thin film, transistor panel for active matrix type LCD - has substrate with electrode lines aligned in matrix form with transistors formed on crossing portions

Patent Assignee: CASIO COMPUTER CO LTD (CASK )

Inventor: MORI H; SASAKI M; SATO S

Number of Countries: 007    Number of Patents: 009

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week	
EP 366116	A	19900502	EP 89119842	A	19891025	199018	B
<b>JP 2136831</b>	A	19900525	JP 88290123	A	19881118	199027	
JP 2144939	A	19900604	JP 88298349	A	19881128	199028	
US 5084905	A	19920128	US 89415889	A	19891002	199207	
CA 1313563	C	19930209	CA 613680	A	19890927	199311	
EP 366116	A3	19920408	EP 89119842	A	19891025	199328	
EP 366116	B1	19950614	EP 89119842	A	19891025	199528	
DE 68923054	E	19950720	DE 623054	A	19891025	199534	
			EP 89119842	A	19891025		
KR 9404764	B1	19940528	KR 8915469	A	19891026	199611	

Priority Applications (No Type Date): JP 89U49015 U 19890426; JP 88U138620

U 19881026; JP 88290123 A 19881118; JP 88298349 A 19881128; JP 88U168460

U 19881228; JP 88U168461 U 19881228

Cited Patents: NoSR.Pub; 2.Jnl.Ref; JP 58053859

Patent Details:

Patent No	Kind	Lan	Pg	Main IPC	Filing Notes
EP 366116	A				

Designated States (Regional): DE FR GB

EP 366116      B1 E    35 G02F-001/136

Designated States (Regional): DE GB

DE 68923054    E            G02F-001/136    Based on patent EP 366116

CA 1313563      C            G02F-001/136

KR 9404764      B1           G02F-001/136

Abstract (Basic): EP 366116 A

A diffusible insulating film (38) for covering thin film transistors (T3), and metal-diffused layers (38a) is connected to source electrodes. The metal-diffused layers are formed by diffusing a metal into predetermined areas of the insulating film. If the metal-diffused layers are used as the pixel electrodes, high density display can be obtained due to the fine pixel electrodes. To mfr. a thin film transistor panel gate electrodes (32) are formed on a substrate (31). Gate insulating films (33) are formed on the gate electrodes. Semiconductor layers (34) are formed on the gate insulating films (33). Source and drain electrodes (36,37) are formed on the semiconductor layers (34) except for channel portions. A diffusible insulating film (38) is applied to cover the whole surface

of the substrate (31). Contact holes (34) (39) are made in the diffusible insulating film corresp. to the source electrodes (36). The metal-diffused layers (38a) are formed by diffusing a metal into the diffusible insulating film and inner surfaces of the contact holes (39). The metal-diffused layers (38a) can be formed in high pattern accuracy, and the fine pixel electrodes can be easily obtained in the metal-diffused layers (38a) are used as the pixel electrodes.

ADVANTAGE - Easily mfd. (32pp Dwg.No.3/26)

Title Terms: THIN; FILM; TRANSISTOR; PANEL; ACTIVE; MATRIX; TYPE; LCD; SUBSTRATE; ELECTRODE; LINE; ALIGN; MATRIX; FORM; TRANSISTOR; FORMING; CROSS; PORTION

Index Terms/Additional Words: TELEVISION; IMAGE; SWITCH; PIXEL; ON-OFF

Derwent Class: P81; U12; U14

International Patent Class (Main): G02F-001/136

International Patent Class (Additional): G02F-001/13; H01L-027/12

File Segment: EPI; EngPI

DIALOG(R)File 347:JAPIO

(c) 2002 JPO & JAPIO. All rts. reserv.

03161331      \*\*Image available\*\*

TFT PANEL

PUB. NO.:      02-136831 [JP 2136831 A]

PUBLISHED:      May 25, 1990 (19900525)

INVENTOR(s):   SASAKI MAKOTO

                 SATO SHUNICHI

APPLICANT(s): CASIO COMPUT CO LTD [350750] (A Japanese Company or Corporation), JP (Japan)

APPL. NO.:      63-290123 [JP 88290123]

FILED:           November 18, 1988 (19881118)

INTL CLASS:      [5] G02F-001/136; H01L-029/784

JAPIO CLASS:    29.2 (PRECISION INSTRUMENTS -- Optical Equipment); 42.2 (ELECTRONICS -- Solid State Components)

JAPIO KEYWORD: R011 (LIQUID CRYSTALS)

JOURNAL:           Section: P, Section No. 1090, Vol. 14, No. 369, Pg. 53,  
                 August 09, 1990 (19900809)

#### ABSTRACT

PURPOSE: To connect a transparent picture element electrode to the source electrode of a tin film transistor (TFT) without filling up a contact hole with a contact metal by using a metal diffused layer on the surface of a transparent insulating film as the transparent picture element electrode and connecting the metal diffused layer to the source electrode by means of a metal diffused layer on the inner surface of the contact hole.

CONSTITUTION: A transparent picture element electrode 15 on a transparent insulating film 12 formed on a TFT T is connected with the source electrode 6 of the TFT T and the film 12 is formed of a transparent insulating material into which a metal can be diffused. Then a contact hole 13 is formed in the film 12 in corresponding to the source electrode 6 and, at the same time, a transparent metal diffused layer 12a into which a conductive metal is diffused is formed continuously from the surface of the film 12 to the inner surface of the hole 13. In addition, the metal diffused layer 12a on the surface is used as the transparent picture element electrode 15 and connected with the source electrode 6 by means of the metal diffused layer 12a on the inner surface of the hole 13. Therefore, the electrode 15 can be connected with the source electrode 6 without filling up the hole 13 with a contact metal.

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

② 公開特許公報(A) 平2-136831

⑤ Int. Cl.<sup>3</sup>

G 02 F 1/136  
H 01 L 29/784

識別記号

5 0 0

庁内整理番号

7370-2H

④ 公開 平成2年(1990)5月25日

8624-5F H 01 L 29/78 3 1 1 A

審査請求 未請求 請求項の数 1 (全6頁)

⑥ 発明の名称 T F T パネル

⑧ 特 願 昭63-290123

⑨ 出 願 昭63(1988)11月18日

⑫ 発 明 者 佐々木 誠 東京都八王子市石川町2951番地の5 カシオ計算機株式会社八王子研究所内

⑬ 発 明 者 佐藤 俊一 東京都八王子市石川町2951番地の5 カシオ計算機株式会社八王子研究所内

⑭ 出 願 人 カシオ計算機株式会社 東京都新宿区西新宿2丁目6番1号

明 細 書

1. 発明の名称

T F T パネル

2. 特許請求の範囲

透明基板上に薄膜トランジスタを形成し、その上に形成した透明絶縁膜の上に透明画素電極を形成して、この透明画素電極を前記薄膜トランジスタのソース電極に接続したT F T パネルにおいて、前記透明絶縁膜を、金属の拡散が可能な透明絶縁材で形成し、この透明絶縁膜に前記薄膜トランジスタのソース電極に対応させてコンタクト孔を設けるとともに、前記透明絶縁膜の上記コンタクト孔を含む画素電極形成部分に、この透明絶縁膜の表面から上記コンタクト孔の内面にわたって、この透明絶縁膜に導電性金属を拡散させた透明な金属拡散層を形成し、この透明絶縁膜の表面の金属拡散層を透明画素電極とするとともに、この透明画素電極を上記コンタクト孔の内面の金属拡散層によって前記薄膜トランジスタのソース電極に接続したことを特徴とするT F T パネル。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明はアクティブマトリックス型の液晶表示素子に使用されるT F T パネルに関するものである。

〔従来の技術〕

テレビジョン画像等を表示するアクティブマトリックス型の液晶表示素子に使用されるT F T パネルは、透明基板上に、多数の透明画素電極と、この各画素電極を駆動する多数の薄膜トランジスタ(T F T)とを縦横に配列形成したもので、薄膜トランジスタのゲート電極およびドレイン電極は画素電極の列間に配線されたゲートラインおよびデータラインにつながっており、またソース電極は透明画素電極に接続されている。

ところで、このT F T パネルとしては、一般に、薄膜トランジスタと画素電極とを横に並べて形成したものが知られているが、最近では、透明基板上に薄膜トランジスタを形成し、その上に透明絶縁膜を形成して、この透明絶縁膜の上に透明画素

電極を形成することが考えられている。このように薄膜トランジスタと画素電極とを透明絶縁膜をはさんで形成すれば、画素電極と上記ゲートラインおよびデータラインとの間隔を小さくしてもその間の短絡を上記透明絶縁膜によって防ぐことができるから、画素電極の面積を大きくして液晶表示素子の開口率を向上させることができる。

第5図は透明基板上に薄膜トランジスタを形成し、その上に形成した透明絶縁膜の上に透明画素電極を形成した従来のTFTパネルの一部分の断面を示している。

第5図において、図中1は透明基板(ガラス板)、Tは上記透明基板1上に形成された薄膜トランジスタである。この薄膜トランジスタTは、透明基板1上に形成されたゲート電極2と、このゲート電極2の上に基板ほぼ全面にわたって形成された透明なゲート絶縁膜3と、このゲート絶縁膜3の上に前記ゲート電極2に対向させて形成された $i-a-Si$ 半導体層4と、この半導体層4の上に $n^+-a-Si$ 層5を介して形成されたソース

ンタクト孔9内にコンタクト金属11を充填した後、透明絶縁膜8の表面に堆積した不要な金属膜をエッチング除去してから、透明絶縁膜8の上にITO等からなる透明導電膜をスパッタリング法等によって膜付けし、この透明導電膜をパターニングして透明画素電極10を形成する方法で製造されている。

〔発明が解決しようとする課題〕

しかしながら、上記従来のTFTパネルは、その画素電極10を薄膜トランジスタTのソース電極6に接続して形成するのに、まず透明絶縁膜8の上に導電性金属を堆積させてコンタクト孔9内にコンタクト金属11を充填し、次いで透明絶縁膜8上の不要な金属膜をエッチング除去してから、透明絶縁膜8の上に透明画素電極10を形成しなければならないため、TFTパネルの製造に多くの工程を要するという問題をもっていた。しかも、上記のように画素電極10をコンタクト孔9に充填したコンタクト金属11によって薄膜トランジスタTのソース電極6に接続する場合、画素電極

電極6およびドレイン電極7とからなっている。なお、前記ゲート電極2は図示しないゲートラインにつながっており、ドレイン電極7は図示しないデータラインにつながっている。また、上記薄膜トランジスタTを形成した基板1上には、そのほぼ全面にわたって、SOG(スピンオンガラス)からなる表面が平坦な透明絶縁膜8が形成されており、透明画素電極10は上記透明絶縁膜8の上に形成されている。また、上記透明絶縁膜8には、前記薄膜トランジスタTのソース電極6に対応させてコンタクト孔9が設けられており、上記透明画素電極10はその端部が上記コンタクト孔9の上に重なるように形成され、このコンタクト孔9内に充填したコンタクト金属11を介して薄膜トランジスタTのソース電極6に接続されている。

このTFTパネルは、透明基板1上に周知の方法で薄膜トランジスタTを形成した後、その上に透明絶縁膜8を形成してこの透明絶縁膜8にコンタクト孔9を設け、次いで上記透明絶縁膜8の上に導電性金属をメッキ等により堆積させて前記コ

10とソース電極6とを確実に接続するには、コンタクト孔9内にその上端(透明絶縁膜8の表面)まで完全にコンタクト金属11を充填する必要があるが、コンタクト孔9内にその全深さにわたってコンタクト金属11を堆積させるには、コンタクト金属11となる金属をコンタクト孔9の深さよりもかなり厚く堆積させなければならない。なお、上記透明絶縁膜8は、その上に形成される画素電極10と透明絶縁膜8の下のゲートラインおよびデータラインとの間の容量を小さくするためにできるだけ厚くするのが望ましいが、このように透明絶縁膜8を厚くすると、この透明絶縁膜8に設けられるコンタクト孔9の深さも大きくなるから、金属の堆積厚さもさらに厚くなる。そして、このようにコンタクト金属11となる金属を透明絶縁膜8の上に厚く堆積させるのでは、金属の堆積に時間がかかるだけでなく、透明絶縁膜8上の不要な金属膜のエッチング除去も困難になる。

このため、上記従来のTFTパネルは、その製造が面倒であるという問題をもっていた。

本発明は上記のような実情にかんがみてなされたものであって、その目的とするところは、薄膜トランジスタの上に形成した透明絶縁膜の上に透明画素電極を形成したものでありながら、前記透明絶縁膜に形成したコンタクト孔にコンタクト金属を充填することなく透明絶縁膜上の透明画素電極を薄膜トランジスタのソース電極に接続することができ、しかも、上記透明画素電極の形成と同時にこの画素電極と薄膜トランジスタのソース電極とを接続することができるようにした、製造の容易なTFTパネルを提供することにある。

#### 〔課題を解決するための手段〕

本発明は上記目的を達成するために、透明基板上に薄膜トランジスタを形成し、その上に形成した透明絶縁膜の上に透明画素電極を形成して、この透明画素電極を前記薄膜トランジスタのソース電極に接続したTFTパネルにおいて、前記透明絶縁膜を、金属の拡散が可能な透明絶縁材で形成し、この透明絶縁膜に前記薄膜トランジスタのソース電極に対応させてコンタクト孔を設けるとと

により、この透明絶縁膜の表面と上記コンタクト孔の内面に、透明画素電極となる金属拡散層と、上記透明画素電極と上記ソース電極とを接続する金属拡散層とを同時に形成することができるから、透明画素電極の形成と同時にこの画素電極と薄膜トランジスタのソース電極とを接続することができ、したがってこのTFTパネルの製造は容易である。

#### 〔実施例〕

以下、本発明の一実施例を図面を参照して説明する。

第1図はTFTパネルの一部分の断面を示したもので、図中Tは透明基板1の上に形成された薄膜トランジスタであり、この薄膜トランジスタTは逆スタガー型のものである。なお、この薄膜トランジスタTは第5図に示した従来のTFTパネルに形成されているものと同じ構造のものであるから、その説明は図に同符号を付して省略する。12は上記薄膜トランジスタTを形成した透明基板1上にそのほぼ全面にわたって形成された表

面に、前記透明絶縁膜の上記コンタクト孔を含む画素電極形成部分に、この透明絶縁膜の表面から上記コンタクト孔の内面にわたって、この透明絶縁膜に導電性金属を拡散させた透明な金属拡散層を形成し、この透明絶縁膜の表面の金属拡散層を透明画素電極とするとともに、この透明画素電極を上記コンタクト孔の内面の金属拡散層によって前記薄膜トランジスタのソース電極に接続したものである。

#### 〔作用〕

本発明のTFTパネルによれば、前記透明絶縁膜の表面の金属拡散層を透明画素電極とし、この透明画素電極を上記コンタクト孔の内面の金属拡散層によって薄膜トランジスタのソース電極に接続しているから、前記コンタクト孔にコンタクト金属を充填することなく透明絶縁膜上の透明画素電極を薄膜トランジスタのソース電極に接続することができる。また、本発明のTFTパネルによれば、前記透明絶縁膜の表面からそのコンタクト孔の内面にわたって導電性金属を拡散させること

面が平坦な透明絶縁膜であり、この透明絶縁膜12は、金属の拡散が可能な透明絶縁材、例えばSOG（スピノングラス）により1 $\mu$ m程度の厚さに形成されている。このSOGからなる透明絶縁膜12には、前記薄膜トランジスタTのソース電極6に対応させてコンタクト孔13が設けられている。このコンタクト孔13は、上記ソース電極6面までは達しない有底孔とされており、このコンタクト孔13の底部の厚さは400 $\text{\AA}$ 程度とされている。また、14は前記透明絶縁膜12の上に、上記コンタクト孔13の上を含む画素電極形成部分を除いて形成された拡散阻止膜である。この拡散阻止膜14は、上記透明絶縁膜12に金属を拡散させて後述する金属拡散層12aを形成する際の拡散領域を規制するために設けられたもので、この拡散阻止膜14は金属が拡散しにくい絶縁材、例えばSiNによって形成されている。そして、上記透明絶縁膜12の拡散阻止膜14で覆われていない部分つまりコンタクト孔13を含む画素電極形成部分には、この透明絶縁膜12の表

面から上記コンタクト孔13の内面全体にわたって、この透明絶縁膜12にITOからなる導電性金属を拡散させた透明な金属拡散層12aが形成されており、この透明絶縁膜12の表面の金属拡散層12aは透明画素電極15とされ、この透明画素電極15は、上記コンタクト孔13の内面の金属拡散層12aによって前記薄膜トランジスタTのソース電極6に接続されている。また、上記金属拡散層12aの層厚(透明絶縁膜12への金属の拡散深さ)は、上記コンタクト孔13の底部の厚さ(400Å程度)よりも若干薄い厚さ(500Å程度)とされており、したがってコンタクト孔13の底部は、その厚さ全体が金属拡散層12aとなって薄膜トランジスタTのソース電極6と導通接触している。

第2図は上記TFTパネルの製造方法を工程順に示したもので、このTFTパネルは次のようにして製造される。

まず、透明基板1上に周知の方法で薄膜トランジスタTを形成した後、この基板1上にSOGを

膜16が堆積して行くとともに、同時に堆積したITOが上記拡散阻止膜14で覆われていない部分の透明絶縁膜12に熱拡散し、透明絶縁膜12の表面からコンタクト孔13の内面全体にわたって、ITOを拡散させた金属拡散層12aが第2図(c)に示すように形成される。なお、拡散阻止膜14は金属が拡散しにくいSiN膜であるために、この拡散阻止膜14へのITOの拡散はほとんど生じない。このITOのスパッタリングは、コンタクト孔13の底部における透明絶縁膜12へのITOの拡散深さがコンタクト孔13の底部の厚さ以上(500Å程度)になるまで行なう。この金属拡散層12aは透明であり、透明絶縁膜12の表面に形成された金属拡散層12aはそのまま透明画素電極15となり、またコンタクト孔13の内面に形成された金属拡散層12aは上記透明画素電極15と薄膜トランジスタTのソース電極6とを接続するコンタクト層となる。なお、この場合、上記ITOのスパッタリングによる透明絶縁膜12へのITOの拡散を行なった後に、

1μm程度の厚さに塗布してこれを焼成することにより、第2図(a)に示すように透明絶縁膜(SOG膜)12を形成し、この透明絶縁膜12に、薄膜トランジスタTのソース電極6に対応させて底部の厚さが400Å程度の有底のコンタクト孔13をエッチングにより形成する。

次に、上記透明絶縁膜12の上にSiNをプラズマCVD法により堆積させ、これをパターニングして、透明絶縁膜12の上をそのコンタクト孔13の上を含む画素電極形成部分を除いて覆う拡散阻止膜(SiN膜)14を第2図(b)に示すように形成する。

次に、上記拡散阻止膜14の上から透明絶縁膜12上にITOをスパッタリングし、透明絶縁膜12の表面およびそのコンタクト孔13の内面全体にITO膜16を第2図(c)に鎖線で示すように堆積させる。このITOのスパッタリングは、300℃程度の基板温度で行なう。このITOのスパッタリングを行なうと、透明絶縁膜12の表面およびコンタクト孔13の内面全体にITO

再度基板1を300℃程度に加熱する熱処理を行なえば、透明絶縁膜12へのITOの拡散深さをさらに深くして、コンタクト孔13の内面に形成された金属拡散層12aと薄膜トランジスタTのソース電極6とをより確実に導通させることができる。

この後は、拡散阻止膜14および透明絶縁膜12の上に堆積したITO膜16を、H<sub>2</sub>SO<sub>4</sub>:HNO<sub>3</sub>:H<sub>2</sub>O=1:0.08:1のエッチング液により35℃で全面エッチングして拡散阻止膜14上のITO膜16を除去し、透明絶縁膜12の表面に形成された金属拡散層12aを個々の画素電極15に分離して第1図に示したTFTパネルを完成する。なおこの場合、上記全面エッチングを行なうと、拡散阻止膜14上のITO膜16だけでなく、透明絶縁膜12上に堆積したITO膜16もエッチングされるが、透明絶縁膜12の金属拡散層12aはほとんどエッチングされずに残るから、透明絶縁膜12の表面の画素電極15部分およびコンタクト孔13の内面(金属拡散層

12a部分)が導電性を失うことはない。すなわち、第3図は上記全面エッチングによるエッチング時間と透明絶縁膜12面および拡散阻止膜14面の抵抗値の変化の関係を示したもので、SiNからなる拡散阻止膜14面は約2分のエッチングで絶縁性を回復し、透明絶縁膜12面は、この時点でもなお、抵抗値が数K $\Omega$ の導電性をもっている。

なお、この実施例では、透明絶縁膜12上の拡散阻止膜14をそのまま残すようにしているが、この拡散阻止膜14はTFTパネルを完成させた後に除去してもよく、また拡散阻止膜14を残す場合は、この拡散阻止膜14を不透明膜として、これを薄膜トランジスタTのチャンネル部に対する遮光膜として利用してもよい。またこの実施例では、透明絶縁膜14への金属の拡散領域を規制する拡散阻止膜14をSiN膜としているが、この拡散阻止膜14は、金属拡散しにくいものであればSiN膜に限らない。

しかして、上記TFTパネルにおいては、透明

TFTパネルの製造は容易である。

なお、上記実施例では、透明絶縁膜12に設けるコンタクト孔13を有底孔として、このコンタクト孔13の底部の金属拡散層12aを薄膜トランジスタTのソース電極6に導通接触させているが、このコンタクト孔13は、第4図に示す実施例のようにソース電極6面に達する貫通孔としてもよく、この場合も、コンタクト孔13の内周面全体に拡散形成された金属拡散層12aがその下端面においてソース電極6に導通接触するから、透明絶縁膜14上の金属拡散層12aからなる透明画素電極15を薄膜トランジスタTのソース電極6に接続することができる。

また、上記実施例では、透明絶縁膜14をSOGで形成しているが、この透明絶縁膜14は、SOGに限らず金属の拡散が可能なものであればよいし、また透明絶縁膜14上に拡散させる導電性金属も、ITOに限らず、透明絶縁膜14に拡散形成された金属拡散層12aが透明導電膜となるものであればよい。

絶縁膜12の表面からそのコンタクト孔13の内面にわたって導電性金属(ITO)を拡散させることにより、透明絶縁膜12の表面の金属拡散層12aを透明画素電極15とし、この透明画素電極15を上記コンタクト孔13の内面の金属拡散層12aによって薄膜トランジスタTのソース電極6に接続しているから、従来のようにコンタクト孔にコンタクト金属を充填することなく透明絶縁膜14上の透明画素電極15を薄膜トランジスタTのソース電極6に接続することができる。また、上記TFTパネルによれば、前記透明絶縁膜12の表面からそのコンタクト孔13の内面にわたって導電性金属を拡散させることで、この透明絶縁膜12の表面と上記コンタクト孔13の内面に、透明画素電極15となる金属拡散層12aと、上記透明画素電極15と上記ソース電極6とを接続する金属拡散層12aとを同時に形成することができるから、透明画素電極15の形成と同時にこの画素電極15と薄膜トランジスタTのソース電極6とを接続することができ、したがってこの

#### 〔発明の効果〕

本発明のTFTパネルは、薄膜トランジスタを置く透明絶縁膜を金属の拡散が可能な透明絶縁材で形成し、この透明絶縁膜に前記薄膜トランジスタのソース電極に対応させてコンタクト孔を設けるとともに、前記透明絶縁膜の上記コンタクト孔を含む画素電極形成部分に、この透明絶縁膜の表面から上記コンタクト孔の内面にわたって、この透明絶縁膜に導電性金属を拡散させた透明な金属拡散層を形成し、この透明絶縁膜の表面の金属拡散層を透明画素電極とするとともに、この透明画素電極を上記コンタクト孔の内面の金属拡散層によって前記薄膜トランジスタのソース電極に接続したものであるから、薄膜トランジスタの上に形成した透明絶縁膜の上に透明画素電極を形成したものでありながら、前記透明絶縁膜に形成したコンタクト孔にコンタクト金属を充填することなく透明絶縁膜上の透明画素電極を薄膜トランジスタのソース電極に接続することができるとともに、上記透明画素電極の形成と同時にこの画素電極と



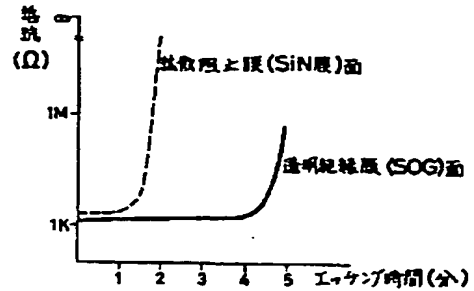
薄膜トランジスタのソース電極とを接続することができ、したがってこのTFTパネルの製造は容易である。

#### 4. 図面の簡単な説明

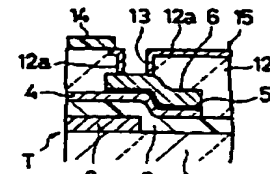
第1図は本発明の一実施例を示すTFTパネルの一部分の断面図、第2図はTFTパネルの製造工程図、第3図は透明絶縁膜上に堆積させた拡散金属を全面エッチングする際の透明絶縁膜(SOG膜)面と拡散阻止膜(SiN膜)面の抵抗値変化を示す図、第4図は本発明の他の実施例を示すTFTパネルの画素電極とソース電極との接続部の断面図、第5図は従来のTFTパネルの一部分の断面図である。

1…透明基板、T…薄膜トランジスタ、6…ソース電極、12…透明絶縁膜(SOG膜)、12a…金属拡散層、13…コンタクト孔、14…拡散阻止膜(SiN膜)、15…透明画素電極、16…拡散金属(ITO)。

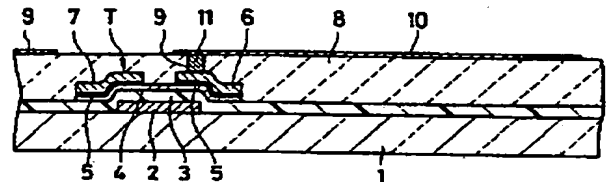
出願人 カシオ計算機株式会社



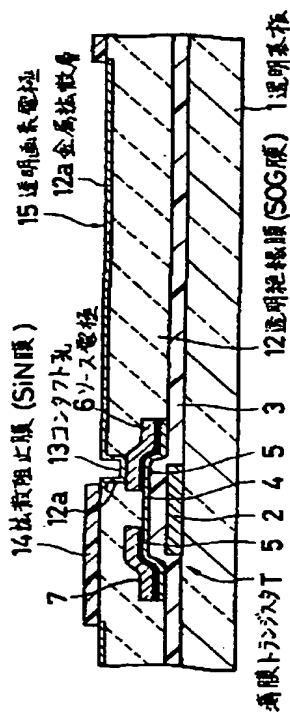
第3図



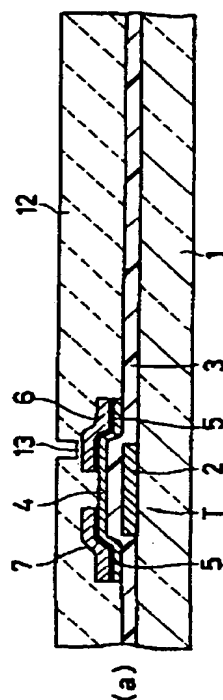
第4図



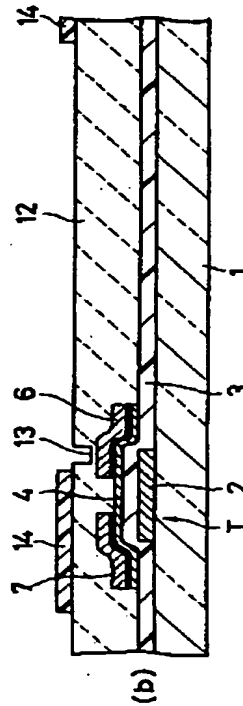
第5図



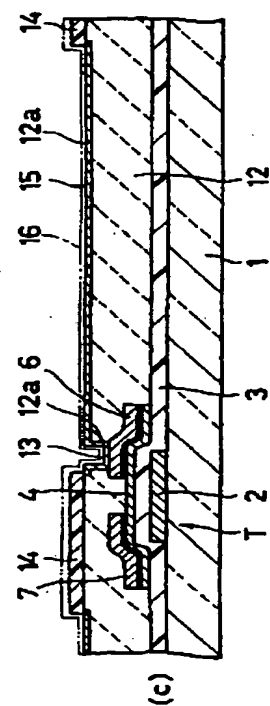
第1図



(a)



(b)



(c)

第2図